

PATENT ABSTRACTS OF JAPAN



(11)Publication number : 11-213695

(43)Date of publication of application : 06.08.1999

(51)Int.Cl.

G11C 29/00
601R 31/28

(21)Application number : 10-009394

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 21.01.1998

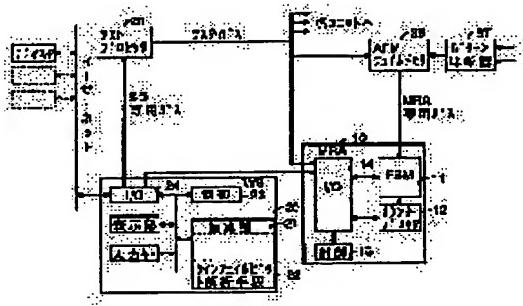
(72)Inventor : INOUE TATSUO

(54) SEMICONDUCTOR MEMORY-TESTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To quickly perform high-speed classification by providing a counter block consisting of a word-line fail counter and a bit-line fail counter, and by analyzing a fail cell distribution shape according to only word-line and bit-line fail counter values being transferred from the counter block.

SOLUTION: A memory repair analysis MRA 10 is constituted of a fail buffer memory FBM 11, a counter block 12, an I/O 14, and a control part 13 for controlling the MRA 10. All memories are classified for each predetermined block, and a fail shape from a large region to a small one is analyzed and classified for each block. A word-line fail counter and a bit-line fail counter are provided in each column and each row of the FBM 11, respectively, and a line fail bit analysis means 22 is provided at a work station 20, thus analyzing the distribution shape of a fail cell according to each fail counter value.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-213695

(43)公開日 平成11年(1999)8月6日

(51) Int.CI.	識別記号	府内整理番号	F I	技術表示箇所
G11C 29/00	655		G11C 29/00	655 S
G01R 31/28			G01R 31/28	B

審査請求 未請求 請求項の数 2 OL (全6頁)

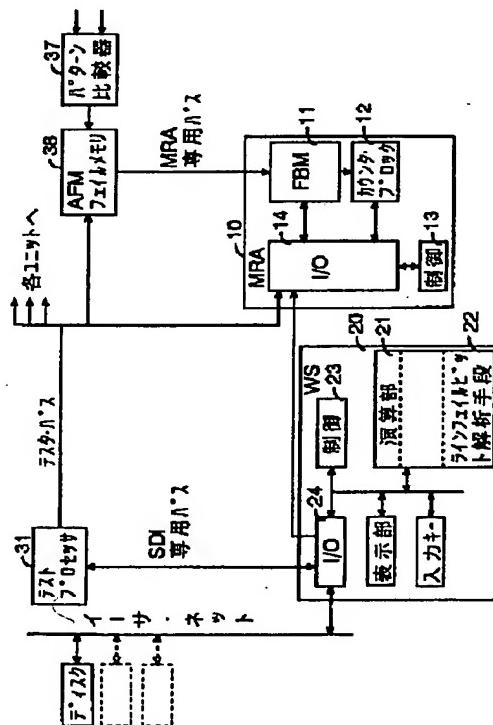
(21)出願番号	特願平10-9394	(71)出願人	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22)出願日	平成10年(1998)1月21日	(72)発明者	井上 達夫 東京都練馬区旭町1丁目32番1号 株式 会社アドバンテスト内

(54)【発明の名称】半導体メモリ試験装置

(57)【要約】

【課題】 DUTである半導体ICの電気的不良セルの分布形状の解析を、必要な範囲で高速に解析し分類する半導体メモリ試験装置。

【解決手段】 DUTのテスト結果をMRA(メモリ・リペア・アナリシス)のFBMに転送し、MRAとWSとでもってDUTの不良セル分布形状を解析する半導体メモリ試験装置であって、FBMの各カラム毎の不良セル数を計数するワードライン・フェイルカウンタと、各ロウ毎の不良セル数を計数するピットライン・フェイルカウンタとから成るカウンタ・ブロックを有するMRAと、MRAから転送されるワードライン・フェイルカウンタ値とピットライン・フェイルカウンタ値のみから不良セル分布形状を解析するライン・フェイルピット解析手段を内蔵する演算部を有するWSと、から構成される。



【特許請求の範囲】

【請求項1】 DUT(39)にテスト信号を印加してその後に読み出し、その応答信号をパターン比較器(37)で期待値と論理比較しその結果をMRA(10)のFBM(11)に転送し、MRA(10)とWS(20)とでもってDUT(39)の不良セル分布形状を解析する半導体メモリ試験装置において、

FBM(11)の各カラム毎の不良セル数を計数するワードライン・フェイルカウンタ(121)と、各ロウ毎の不良セル数を計数するピットライン・フェイルカウンタ(122)とから成るカウンタ・ブロック(12)を有するMRA(10)と、

MRA(10)のカウンタ・ブロック(12)から転送されるワードライン・フェイルカウンタ値とピットライン・フェイルカウンタ値のみから不良セル分布形状を解析するライン・フェイルビット解析手段(22)を内蔵する演算部(21)を有するWS(20)と、
を具備することを特徴とする半導体メモリ試験装置。

【請求項2】 WS(20)のライン・フェイルビット解析手段(22)は、ブロック不良、サブブロック不良、ピットライン不良、ワードライン不良、クロスライン不良、1ビット不良、を解析することを特徴とする請求項1記載の半導体メモリ試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、DUT(被試験メモリデバイス)の不良解析を限定した範囲で高速に行う半導体メモリ試験装置に関する。

【0002】

【従来の技術】 始めに、半導体メモリ試験装置の概略について説明する。図4に半導体メモリ試験装置の基本的な構成図を示す。テストプロセッサ31は、装置全体の制御を行い、テスタ・バスにより各ユニットに制御信号を与える。パターン発生器32は、DUT(被試験半導体メモリIC)39に与える印加パターンとパターン比較器37に与える期待値パターンを生成する。半導体メモリ試験装置では一般的に、パターン発生器32にALPG(Algorithmic Pattern Generator)を用いている。ALPGとは、メモリICの試験パターンを内部の演算機能を持ったレジスタを用いて、演算でパターンを発生するパターン発生器である。

【0003】 タイミング発生器33は、装置全体のテスト周期信号やテストタイミングを取るためにタイミングパルス信号を発生して波形整形器34やコンバレータ36やパターン比較器37等に与え、テストのタイミングをとる。波形整形器34は、パターン発生器32からの印加パターンをテスト信号波形に整形しドライバ35を経てDUT39にテスト信号を与える。DUT39から読み出された応答信号はコンバレータ36で電圧比較され、その結果の論理信号をパターン比較器37に与え

る。パターン比較器37はコンバレータ36からの試験結果の論理パターンとパターン発生器32からの期待値パターンとを論理比較して一致・不一致を検出し、DUT39の良否判定を行う。試験の結果はアドレス・フェイル・メモリ(AFM)38のフェイルメモリに情報を与え、パターン発生器32からの各種の情報と共に記憶させる。

【0004】 AFM38のフェイルメモリはDUT39のフェイル・セルに対応したアドレスに“1”が書き込まれる。つまり、DUT39と同一メモリ領域に“0”と“1”が書き込まれたフェイル・ビット・マップ(FBM)になっている。試験が終了すると、このAFM38のフェイルメモリの情報は、MRA用専用バスによって、MRA(Memory Repair Analysis)10のフェイルバックファメモリに高速に転送される。このMRA10のFBMとCPUを内蔵するワーク・ステーション(WS)20あるいは、図示していないが、パソコン(PC)などによって不良解析が行われる。この明細書ではPCを含むCPUで解析するものを全てWS20で代表して記述し説明する。つまり、WS20はCPUを内蔵する解析器全てを含むこととする。本発明は、この不良解析に関するものである。

【0005】 これらの不良解析を行うために、従来からいわゆるビットマップデータ処理方法で行っている。このビットマップデータ処理方法とは、MRA10にあるFBMの電気的不良セル情報を読み出し、1セル毎に正常か不良かを判断して各種の不良モードのタイプに分類している。例えば、ロウ(行)信号とカラム(列)信号とでその交点のセルの良否情報を読み出したり、あるいはロウあるいはカラムの良・不良を1ステップずつ読み出して、各セル毎の情報で各種の不良形状に分類していた。

【0006】 半導体メモリ試験装置でのDUT39の不良解析は多岐にわたり、各種の不良モードに分類している。図5に不良モードのタイプの一例を示している。図5(A)には、(a)のブロック不良、(b)のサブブロック不良、(c)のピットライン不良、(d)のワードライン不良、(e)のクロスライン不良、(f)の1ビット不良、の6つの例を示している。また図5(B)には、やや複雑な(a)のライン規則性不良と(b)のライン束不良と(c)の2ビット不良の3つの例を示している。この他に不良ビットを3次元で表示したりしている。

【0007】 上記のようにして半導体メモリIC(DUT)の内部を解析し、開発部部門では不良部を解明してその根絶を目指している。製造部門では、このDUT39の試験を製造過程のウエハ(Wafer)の段階で行ない、一部不良のチップを救済するために、不良部を良品セルに置き換えるメモリリペアをする。

【0008】

【発明が解決しようとする課題】製造過程のウエハの段階で行うDUT 39の試験は、従来方法で充分に試験することができる。しかしながら、各セル毎の良・不良の複雑な不良形状を識別し解析するのに、試験時間に比べて解析時間が非常にかかり過ぎる。例えば、64MビットDRAM(ダイナミックRAM)の解析において、1チップの解析に約数十秒かかり、1ウエハでは100～500個のチップがあるので、1枚のウエハを解析するのに約1時間を必要とする。スループットが悪すぎ、テストコストがかかりすぎる。

【0009】この発明は、DUTである半導体メモリICの不良形状を詳細情報までは識別できないが、必要最小限の不良セル分布形状の解析を短時間で、高速に分類することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するために、この発明は、MRA(メモリ・リペア・アナリシス)に有するFBM(フェイル・バッファ・メモリ)の各カラムラインにカラム・フェイルカウンタを、各ロウラインにロウ・フェイルカウンタを設ける。既に設けている機種ではそれを利用する。半導体メモリ試験装置では、カラムラインをワードラインともいい、ロウラインをピットラインともいう。よって、以後はワードラインとピットラインの言葉で説明する。この各カラムラインのワードライン・フェイルカウンタ値及び各ロウラインのピットライン・フェイルカウンタ値のみでDUTの電気的不良セル分布形状を解析するものである。

【0011】WS(ワーク・ステーション)は、MRAからワードラインカウンタ値とピットラインカウンタ値を受けて、演算部のライン・フェイルビット解析手段で各ラインのフェイルビット数から処理できる不良セル分布形状を解析し出力する。この発明は、仮に、カラム(列)とロウ(行)の数がNで有るとすると、従来の各セル毎のフェイルを読み出して解析するよりも、各カラム及びロウに設けられたカウンタ値で解析できるので、解析時間は $(1/N^2)$ 以下と高速に処理でき、解析時間は非常に短縮できる。

【0012】つまり、FBMの各カラムに設けられたワードライン・フェイルカウンタと各ロウに設けられたピットライン・フェイルカウンタのフェイルビットの計数値のみから不良セル分布形状を解析するので、例えば仮に、カラム及びロウの数Nが100とすると、従来の解析時間より、 $1/N^2 = 1/100^2 = 1/10^4$ 倍の時間で解析することができる。この解析時間は測定時間より小さいので、常に解析することができる。この解析で不充分なときには従来の精密解析を行えばよい。以下に、構成を説明する。

【0013】第1発明は基本的な構成である。①DUTにテスト信号を印加してその後に読み出し、その応答信号をパターン比較器で期待値と論理比較しその結果をM

RA(メモリ・リペア・アナリシス)のFBM(フェイル・バッファ・メモリ)に転送し、MRAとWS(ワーク・ステーション)とでもってDUTの不良セル分布形状を解析する半導体メモリ試験装置であって、②FBMの各カラム毎の不良セル数を計数するワードライン・フェイルカウンタと、各ロウ毎の不良セル数を計数するピットライン・フェイルカウンタとから成るカウンタ・ブロックを有するMRAと、③MRAのカウンタ・ブロックから転送されるワードライン・フェイルカウンタ値とピットライン・フェイルカウンタ値のみから不良セル分布形状を解析するライン・フェイルビット解析手段を内蔵する演算部を有するWSと、から構成されている。

【0014】第2発明は、ライン・フェイルビット解析手段で解析できる不良セル分布形状を明記したものである。つまり、WSのライン・フェイルビット解析手段は、ブロック不良、サブブロック不良、ピットライン不良、ワードライン不良、クロスライン不良、1ビット不良、を解析するものである。

【0015】

20 【発明の実施の形態】発明の実施の形態を実施例に基づき図面を参照して説明する。図1に本発明の一実施例の構成図を、図2に詳細構成図を、図3にこの発明での不良セル分布形状を解析する手順の説明図を示す。図1と図2を交えて説明する。

【0016】図1に示すように、MRA10は、FBM11とカウンタ・ブロック12とI/O(インプット/アウトプット)14とMRA10を制御する制御部13で構成される。FBM(フェイル・バッファ・メモリ)11はAFM(アドレスフェイルメモリ)38とMRA

30 専用バスで結ばれ、データは高速に転送される。カウンタ・ブロック12は、図2に示すように、各カラム毎のワードラインカウンタ121と各ロウ毎のピットラインカウンタ122などから構成されている。従って、カラムやロウのフェイルビット数は直ちに計数できる。

【0017】WS(ワーク・ステーション)20は演算部21と制御部23とI/O24などから構成されており、演算部21に従来のフェイルビット解析手段に加えて、新たにライン・フェイルビット解析手段22を設ける。I/O24は、テストプロセッサ31やMRA10

40 と専用バスで結ばれており、データの転送が容易に行われる。ライン・フェイルビット解析手段22では、次のようにして不良セルの分布形状を解析する。

【0018】解析するときには、全メモリを予め定められたブロック毎に区分して、各ブロック毎に解析する。そして、大きな領域から小さな領域の不良形状を解析し分類する。従って分類順序は、①ブロック不良、②ピットライン/ワードライン不良、③クロスライン不良、④ピット不良の順となる。分類方法としては、①先ず、全ブロックの全ピットラインと全ワードラインの不良セル数をそれぞれのカウンタで計数する。②次に、各ブロック

クのビットライン及びワードラインのカウンタ値の分布から、次のようにして不良形状を分類することとする。

【0019】図3を用いて説明する。図3(a)はブロック不良の判定である。各ビットライン又は各ワードラインのフェイル数のカウンタ値を加算し、規定値以上をブロック不良とする。規定値は、ここでは仮に80%とするが、任意に定めることができる。図3(a)の場合には、全セルが30で、フェイルのワードラインカウンタ値が26であるので、規定値80%の24より大きく、ブロック不良とする。ビットライン不良とワードライン不良では、各ビットライン又は各ワードラインのカウンタ値に対して、規定値以上をビットライン不良又はワードライン不良とする。図3(b)では、各ビットラインのセル数が5で、規定値を80%とすると、第1ロウと第3ロウがビットライン不良となる。

【0020】図3(c)はクロスライン不良である。クロスライン不良は規定値以上の不良セルのあるビットライン及びこれと別の規定値以上の不良セルのあるワードラインがある場合をクロスライン不良とする。図3(c)では、規定値を80%とすると、第3ロウと第3カラムがクロスライン不良となる。上記のブロック不良、ビットライン不良、ワードライン不良、クロスライン不良の分類を終えた後に、ビットラインとワードラインに存在する規定値の満たない不良セルをピット不良とする。図3(d)にその状況を示す。上述のようにして、DUTの不良セルの分布形状を解析する。この手順で解析できる分布形状は、図5の(A)グループの形状である。図5(B)グループの形状は、この方法では解析困難である。従来の方法が適する。

【0021】

【発明の効果】以上詳細に説明したように、この発明は半導体メモリ試験装置において、MRA10に有するFBM11の各カラムにワードライン・フェイルカウンタを、各ロウにビットライン・フェイルカウンタを設け、また、WS20にライン・フェイルピット解析手段22を設けて、各ワードライン・フェイルカウンタ値とビットライン・フェイルカウンタ値とでもって、DUT39の電気的不良セルの分布形状の状況を高速に解析することができた。

【0022】

その解析時間は、カラム数とロウ数の積の 40

逆数倍に短縮できる。仮に、カラム数とロウ数を共にNとし、Nを100とすると、短縮倍率は、 $1/N^2 = 1/100^2 = 1/10^4$ となり、解析時間が気にならなくなつた。詳細情報が必要の場合のみ従来方法で解析するといい。このように、この発明は半導体メモリ試験装置の試験のスループットを向上させ、テストコストの低減に貢献した。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図である。

10 【図2】本発明の実施例の詳細構成図である。

【図3】本発明での不良セル分布形状の説明図である。

【図4】半導体メモリ試験装置のブロック構成図である。

【図5】半導体メモリの不良セルモードの分類説明図である。

【符号の説明】

10 MRA (メモリ・リペア・アナリシス)

11 FBM (フェイル・バッファ・メモリ)

12 カウンタ・ブロック

20 121 ワードラインカウンタ (カラム・フェイルカウンタ)

122 ピットラインカウンタ (ロウ・フェイルカウンタ)

13 制御部

14 I/O (インプット/アウトプット)

20 WS (ワーク・ステーション)

21 演算部

22 ライン・フェイルピット解析手段

23 制御部

30 24 I/O

31 テストプロセッサ

32 パターン発生器

33 タイミング発生器

34 波形整形器

35 ドライバ

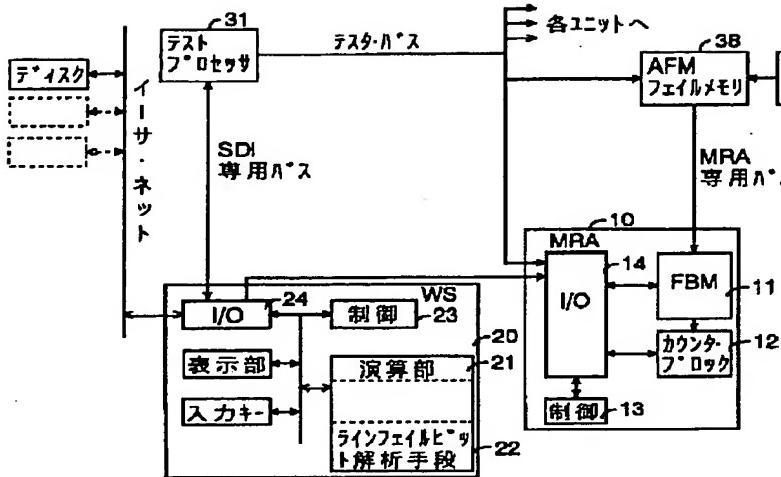
36 コンバーラー

37 パターン比較器

38 AFM (アドレスフェイルメモリ)

39 DUT (被試験半導体メモリIC)

【図 1】



【図 3】

(a) フロック不良	
ワード・ラインカウンタ値	
5	6 6 5 4 5
5	X X X X X
5	X X X X X X
5	X X X X X X X
4	X X X X X
2	X X

x 不良セル

(b) ビットライン不良、ワード・ライン不良	
ワード・ラインカウンタ値	
2	3 2 1 2
5	X X X X X
0	X X X X X
4	X X X X X X
1	X
0	

→ビットライン不良
→ビットライン不良

(c) クロスライン不良	
ワード・ラインカウンタ値	
1	0 1 6 1 1
1	X
1	X
4	X X X X X
1	X
1	X
0	X

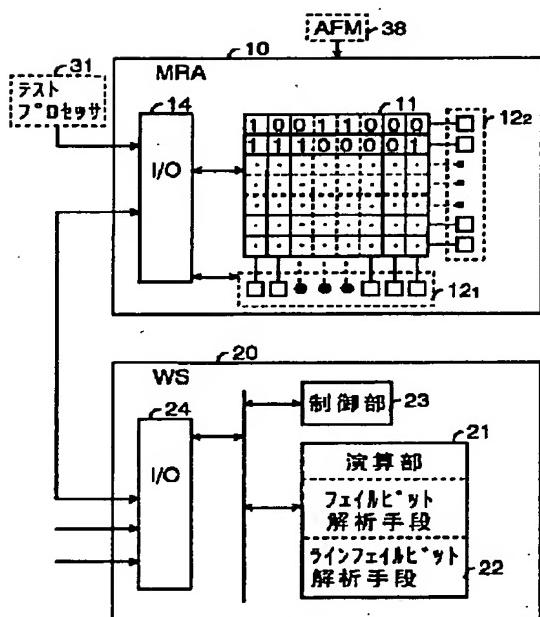
→不良ワード・ライン、規定値 = 80 %

(d) ビット不良	
ワード・ラインカウンタ値	
2	3 2 1 2
5	X X X X
0	X X X X
4	X X X X X
0	X
1	X
0	

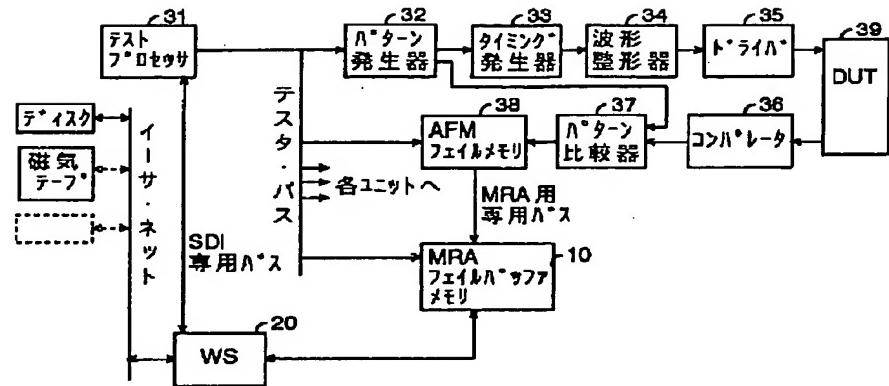
→ビット不良
→ビット不良

↓
ビット不良、規定値 = 80 %

【図 2】



【図 4】



【図 5】

(A)

(a) フロック不良 (b) サブフロック不良



(c) ヒットライン不良 (d) ワートライン不良



(e) クロスライン不良 (f) 1ヒット不良



(B)

(a) ライン規則性不良 (b) ライン束不良



(c) 2ヒット不良

